

中華民國專利公報 [19] [12]

[11]公告編號：563043

[44]中華民國 92年 (2003) 11月 21日

發明

全 9 頁

[51] Int.Cl.⁷ : G06F17/50

[54]名稱：不使用邏輯模擬之複合積體電路之設計驗證方法與設備

[21]申請案號：091104407

[22]申請日期：中華民國 91年 (2002) 03月 08日

[30]優先權：[31]60/275,883

[32]2001/03/14

[33]美國

[72]發明人：

羅奇·拉蘇曼

美國

矢元裕明

美國

[71]申請人：

艾德文斯特公司

日本

[74]代理人：林志剛 先生

1

2

[57]申請專利範圍：

1.一種複合積體電路(IC)設計之驗證方法，其中設計過程係執行於電子設計自動化(EDA)環境下，該驗證方法包含下列步驟：

連接一可場程式規劃之閘極陣列(FPGA)，至一事件測試器；

根據該 EDA 環境下所產生之設計資料透過該事件測試器在線上程式規劃該 FPGA 而在該 FPGA 中建立一等於所打算之積體電路之積體電路等效物；

藉該事件測試器施加該積體電路設計資料所導出之測試向量至該 FPGA 及評估該 FPGA 之響應輸出；

偵測該響應輸出中之誤差及藉修正

該FPGA之線上程式規劃，來校正設計誤差；以及

重複該誤差偵測及設計校正步驟，直到於該事件測試器中獲得無誤差之設計資料為止。

2.如申請專利範圍第1項之複合積體電路(IC)設計之驗證方法，進一步地包含接收該設計資料及轉換該設計資料以用於該FPGA之線上程式規劃的步驟。

3.如申請專利範圍第1項之複合積體電路(IC)設計之驗證方法，其中透過該事件測試器之線上程式規劃該FPGA的步驟包含透過該事件測試器之一控制匯流排傳輸程式規劃之資料到

該 FPGA 的步驟。

- 4.如申請專利範圍第1項之複合積體電路(IC)設計之驗證方法，其中施加該等測試向量之步驟包含透過該事件測試器運轉在 EDA 環境下所產生之測試平台及用於所打算之積體電路所製備的應用軟體於該FPGA之上的步驟。
- 5.如申請專利範圍第1項之複合積體電路(IC)設計之驗證方法，進一步地包含透過在該 EDA 環境下所產生之一測試平台抽取事件資料的步驟。
- 6.如申請專利範圍第5項之複合積體電路(IC)設計之驗證方法，進一步地包含安裝所抽取之事件資料於該事件測試器之中及根據所抽取之事件資料產生該等測試向量以透過該事件測試器之一測試裝置具施加該等測試向量至該 FPGA 的步驟。
- 7.一種複合積體電路(IC)設計之驗證方法，其中設計過程係執行於電子設計自動化(EDA)環境下，該驗證方法包含下列步驟：
連接一仿真器板至一事件測試器；
供應所打算之積體電路的設計資料於該仿真器板，使得該仿真器板仿真所打算之積體電路的功能；
藉該事件測試器施加該積體電路的設計資料所產生之測試向量至該仿真器板及評估該仿真器板之響應輸出；
偵測該響應輸出中之誤差及藉修正供應到該仿真器板之設計資料來校正設計誤差；以及
重複該誤差偵測及設計校正步驟，直到於該事件測試器中獲得無誤差之設計資料為止。
- 8.如申請專利範圍第7項之複合積體電路(IC)設計之驗證方法，進一步地包含接收該設計資料及轉換該設計資

料以用於該仿真器板的步驟。

- 9.如申請專利範圍第7項之複合積體電路(IC)設計之驗證方法，其中施加該等測試向量之步驟包含透過該事件測試器運轉在 EDA 環境下所產生之測試平台及用於所打算之積體電路所製備的應用軟體於該仿真器板之上的步驟。
- 10.如申請專利範圍第7項之複合積體電路(IC)設計之驗證方法，進一步包含透過在該 EDA 環境下所產生之一測試平台產生事件資料的步驟。
- 11.如申請專利範圍第10項之複合積體電路(IC)設計之驗證方法，進一步包含安裝該事件資料於該事件測試器之中及根據該事件資料產生該等測試向量，以透過該事件測試器之一測試裝置，施加該等測試向量至該仿真器板的步驟。
- 12.一種複合積體電路(IC)設計之驗證設備，其中設計過程係執行於電子設計自動化(EDA)環境下，該驗證設備包含：
用於連接一可場程式規劃之閘極陣列(FPGA)於一事件測試器的裝置；
用於根據該 EDA 環境下所產生之設計資料透過該事件測試器在線上程式規劃該 FPGA 而在該 FPGA 中建立一等於所打算之積體電路的積體電路等效物之裝置；
用於藉該事件測試器施加該積體電路設計資料所產生之測試向量至該 FPGA 及評估該 FPGA 之響應輸出的裝置；
用於偵測該響應輸出中之誤差及藉修正該FPGA之線上程式規劃來校正設計誤差的裝置；以及
用於重複該誤差偵測及設計校正，直到於該事件測試器中獲得無誤差之設計資料為止的裝置。

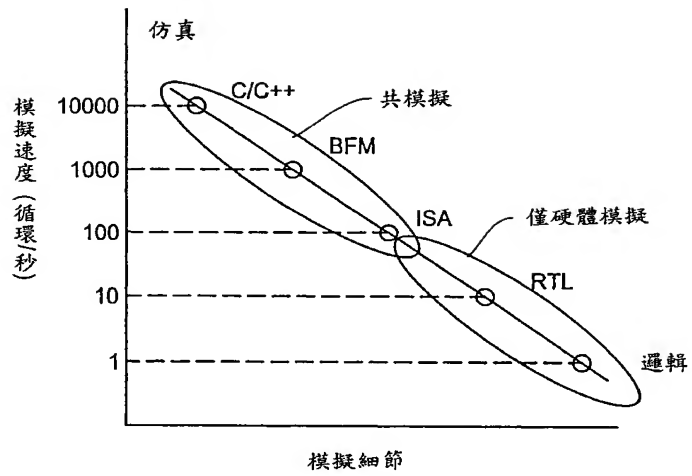
- 13.如申請專利範圍第12項之複合積體電路(IC)設計之驗證設備，其中該測試向量施加裝置透過該事件測試器施加在EDA環境下所產生之測試平台及用於所打算之積體電路所製備的應用軟體於該FPGA。
- 14.一種複合積體電路(IC)設計之驗證設備，其中設計過程係執行於電子設計自動化(EDA)環境下，該驗證設備包含：
 - 用於連接一仿真器板於一事件測試器之裝置；
 - 用於供應所打算之積體電路的設計資料至該仿真器板，使得該仿真器板仿真所打算之積體電路之功能的裝置；
 - 用於藉該事件測試器施加該積體電路的設計資料所產生之測試向量於該仿真器板及評估該仿真器板之響應輸出的裝置；
 - 用於偵測該響應輸出中之誤差及藉修正供應到該仿真器板之設計資料來校正設計誤差的裝置；以及
 - 用於重複該誤差偵測及設計校正，直到獲得無誤差之設計資料於該事件偵測器中為止的裝置。
- 15.如申請專利範圍第14項之複合積體

電路(IC)設計之驗證設備，其中該測試向量施加裝置透過該事件測試器施加在EDA環境下所產生之測試向量及用於所打算之積體電路所製備的應用軟體於該仿真器板。

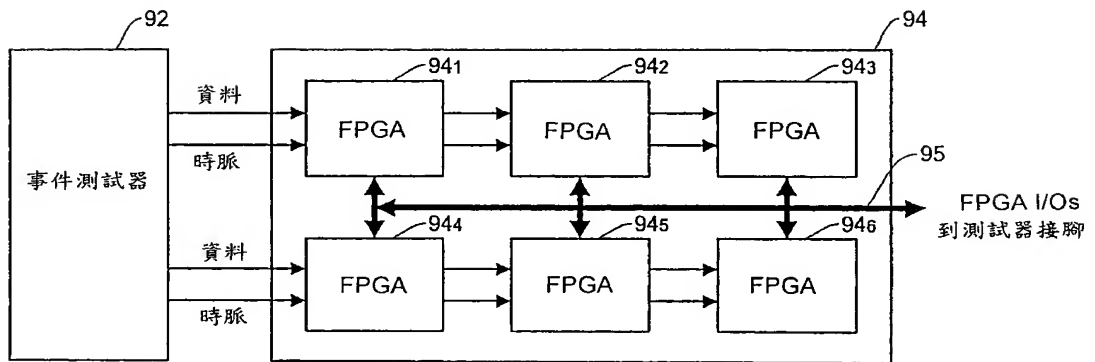
圖式簡單說明：

- 第1圖係一圖式，顯示複合積體電路之設計過程中所包含之模擬速度及不同的抽象位準間之關係；
10. 第2圖係一示意圖式，顯示習知技術中設計驗證過程之實例；
- 第3圖係一示意圖式，顯示受讓人之內部知識及獲得美國專利申請案號09 / 941396之設計驗證方法之實例；
15. 第4圖係一方塊圖，顯示利用線上程式規劃之FPGAs結合事件測試器之本發明設計驗證設備與方法之基本架構；
20. 第5圖係一示意圖式，顯示本發明中結合一並聯及德西鏈(daisy-chain)設置之FPGA架構之實例；
- 第6圖係一方塊圖，顯示利用仿真器板結合事件測試器之本發明設計驗證設備與方法之基本架構；以及
25. 第7A及7B圖係示意圖式，用於比較第3圖與本發明之方法。

(4)

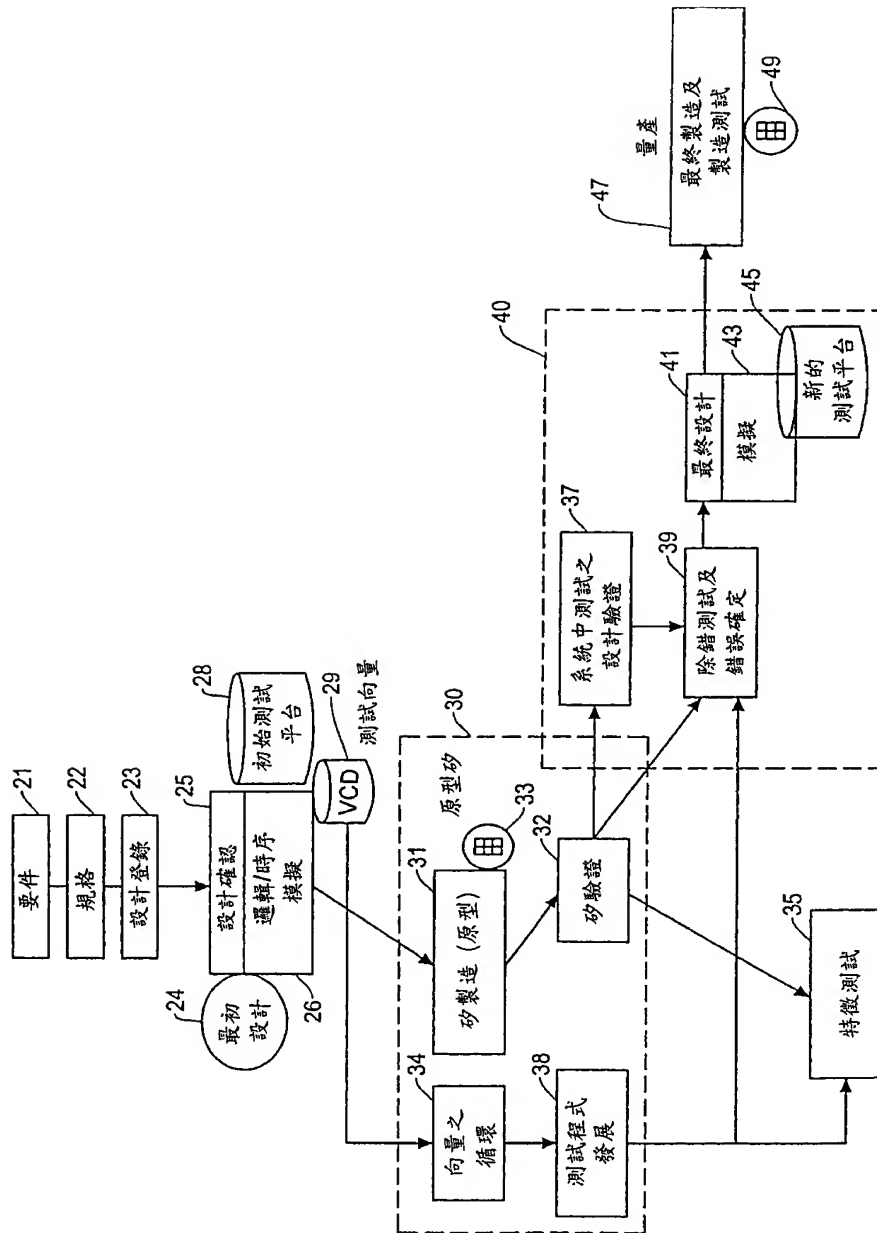


第 1 圖

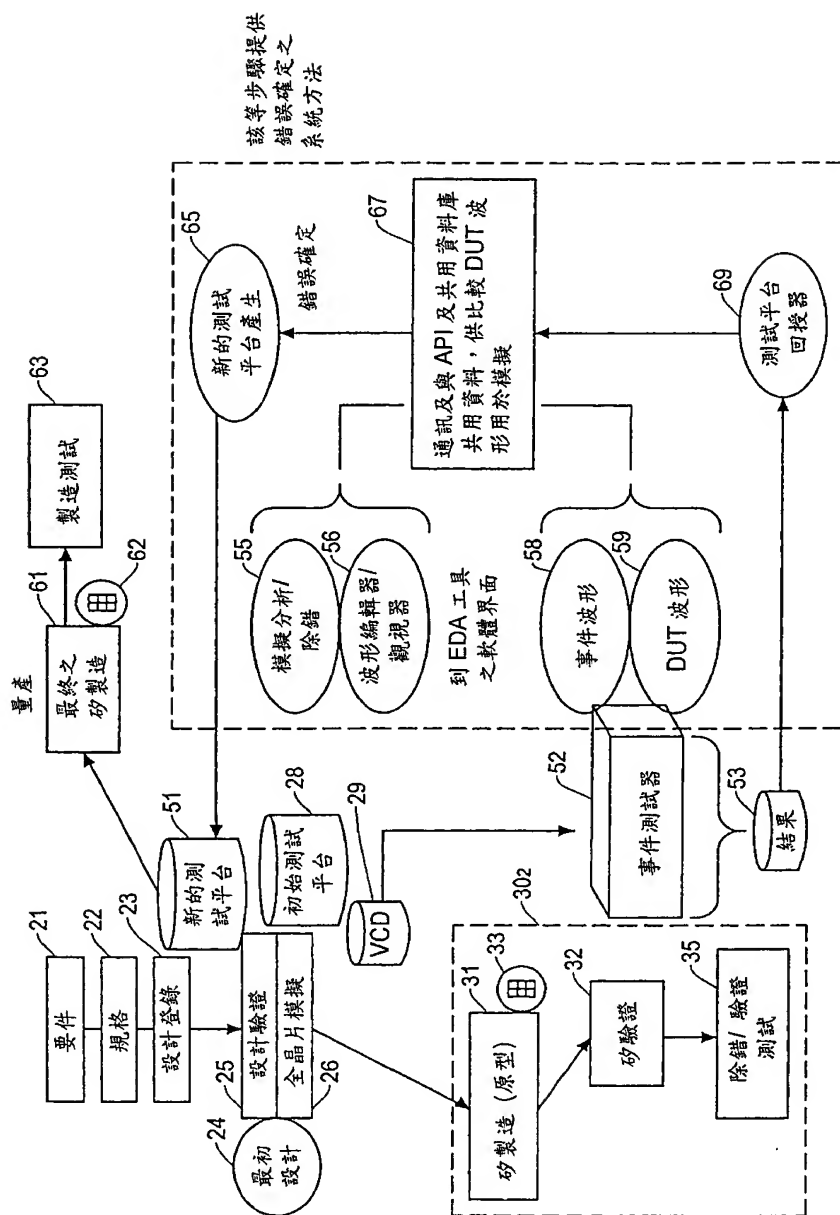


第 5 圖

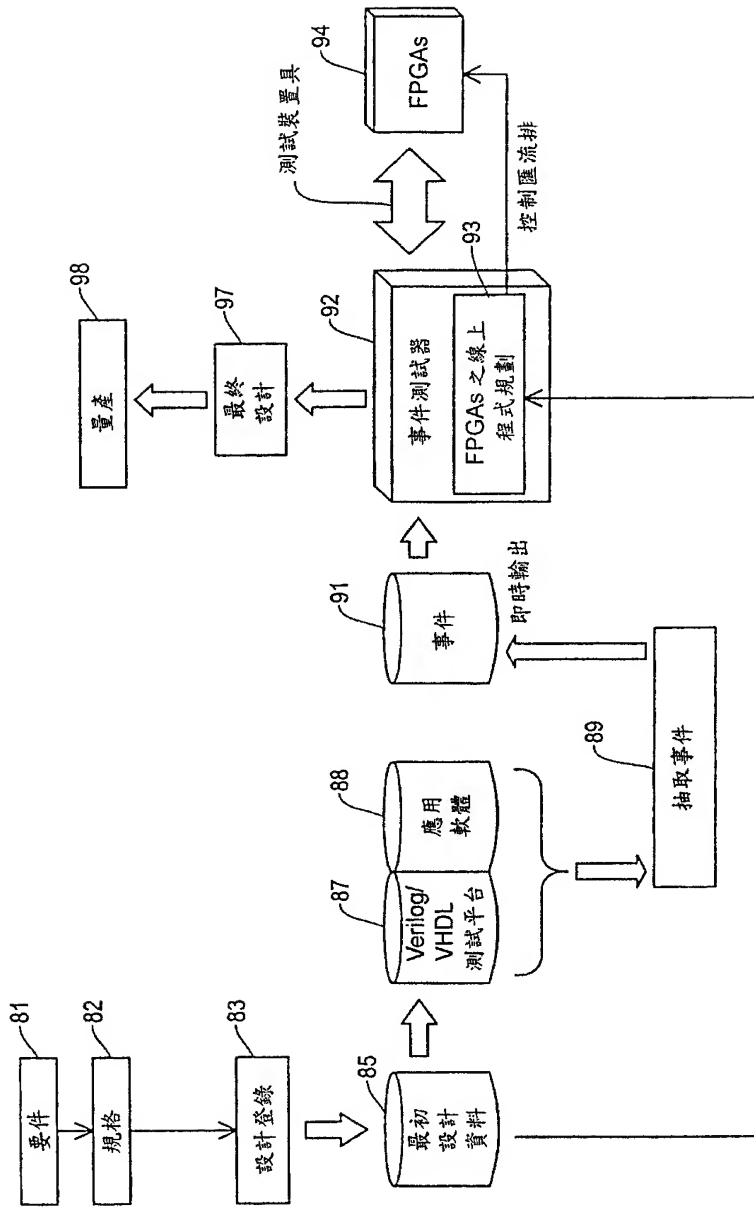
(5)



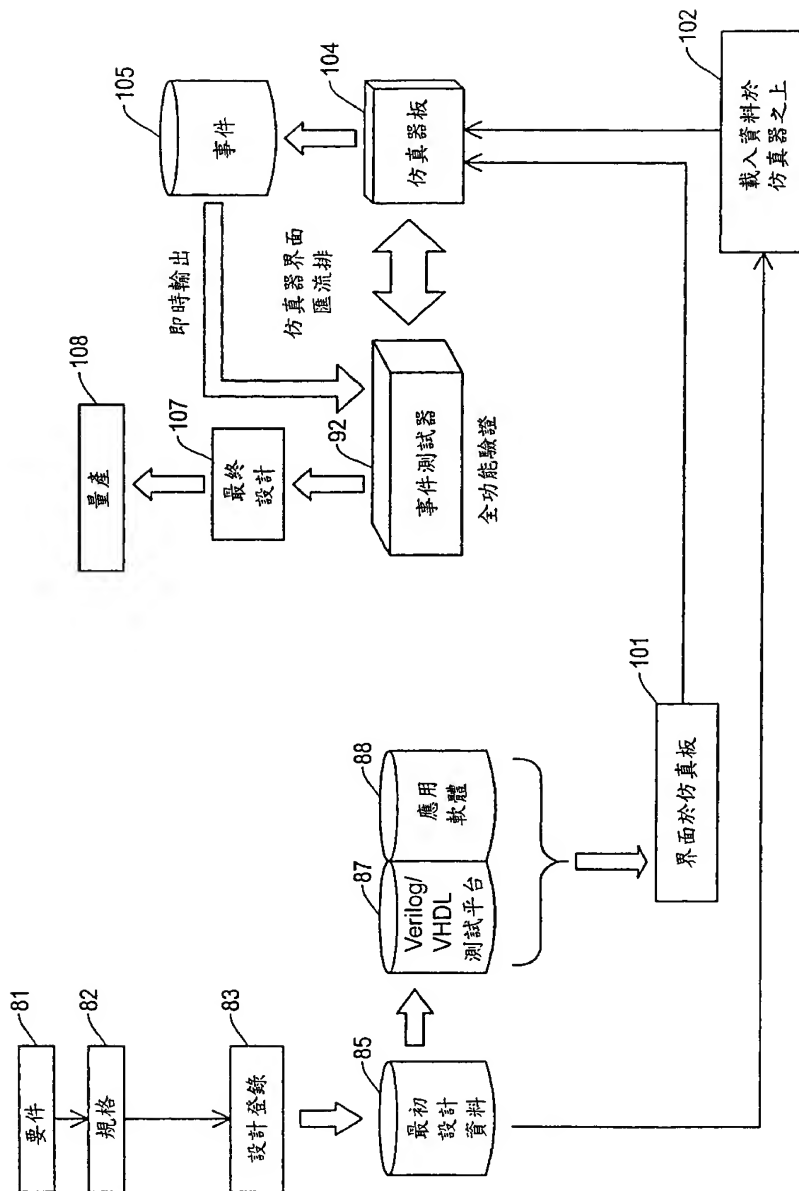
第2圖



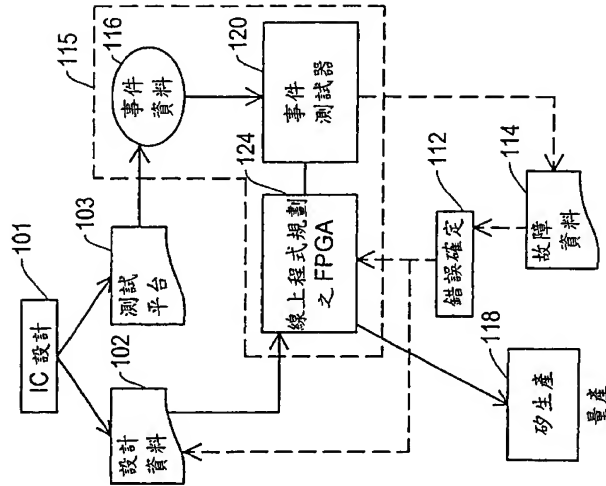
第 3 圖



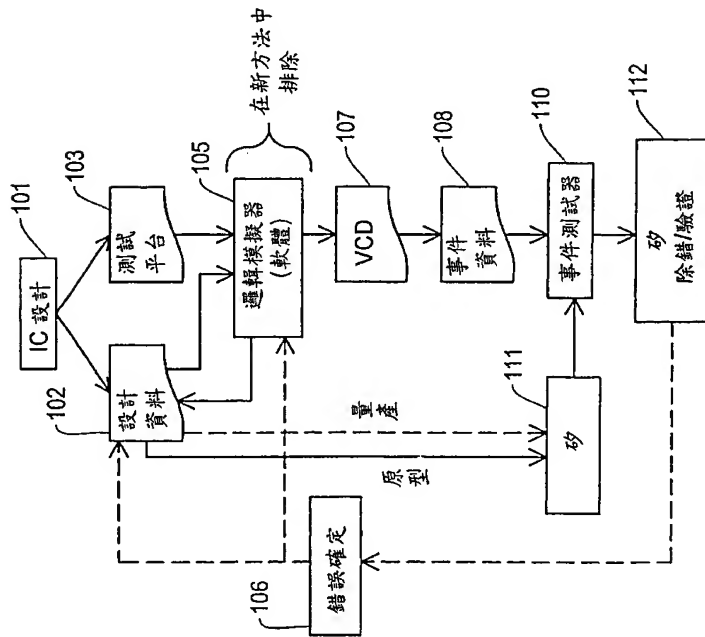
第 4 圖



第 6 圖



第7B圖



第7A圖

